

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-192154

(43)Date of publication of application : 09.11.1983

(51)Int.Cl. G06F 13/00
G11C 7/00

(21)Application number : 57-075376

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 07.05.1982

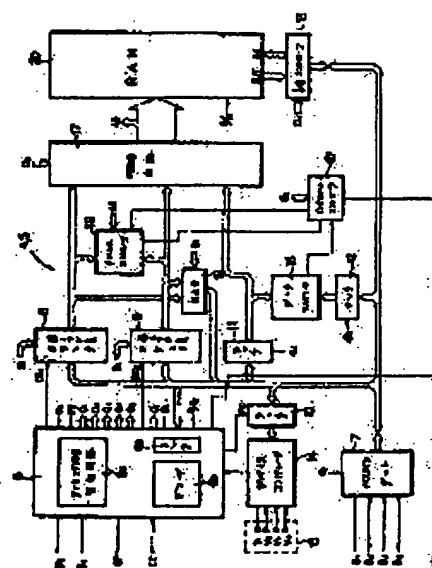
(72)Inventor : FUJISAWA HIDETAKA

(54) MEMORY DEVICE HAVING AUTOMATIC DATA PROCESSING FUNCTION

(57)Abstract:

PURPOSE: To attain the parallel processing together with a CPU, by decoding an instruction code transmitted from the CPU, designating the address of a memory device sequentially, and eliminating increment of the number of connecting lines with the CPU even if the storage capacity is increased.

CONSTITUTION: An instruction code among data D1WD4 transmitted from the CPU is decoded at a decoder 6b, transmitted to a timing generating circuit 6a, and control instructions O1WO7 are outputted. An address of an RAM20 is designated according to the control instructions O1WO7. Thus, even if the capacity of the RAM20 is increased, the number of bus lines connected to the CPU is not increased. Further, the movement of data in the RAM20 and the search of data are processed automatically independently of the CPU. Then, the CPU performs other processings in parallel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B 2) 平4-49142

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公告 平成4年(1992)8月10日

G 06 F 12/00
15/405 5 0
5 0 0 A8841-5B
7056-5L

発明の数 1 (全7頁)

⑮ 発明の名称 自動データ処理機能を有するメモリ装置

審 判 平3-13013

⑯ 特 願 昭57-75376

⑰ 公 開 昭58-182154

⑱ 出 願 昭57(1982)5月7日

⑲ 昭58(1983)11月9日

⑳ 発 明 者 藤 沢 秀 隆 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

㉑ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉒ 代 理 人 弁理士 杉村 次郎

審判の合議体 審判長 松尾 浩太郎 審判官 中村 剛 審判官 高橋 英生

㉓ 参 考 文 献 特開 昭53-26542 (JP, A) 特開 昭50-154033 (JP, A)

1

㉔ 特許請求の範囲

1 中央処理装置(CPU)とバスラインを介して電気的に接続される複数のメモリ装置であつて、この個々のメモリ装置は、

メモリ装置自身の固體コードを記憶する手段と、

上記CPUからバスラインを介して送出される個體コード、サーチ命令コード、第1、第2のアドレスデータ、及びサーチデータを含む制御命令を取込む手段と、

この取込み手段により取込まれた制御命令の中の個體コードが、上記記憶手段に記憶されている個體コードと一致するか否かを判定する手段と、

上記取込み手段により取込まれたサーチデータと当該メモリ装置の記憶データとを比較する手段と、

上記判定手段が一致を判定したときに、上記取込み手段により取込まれた制御命令のサーチ命令コードに従つて、第1、第2のアドレスデータが示す範囲について当該メモリ装置に記憶されたデータを順に読出し、上記比較手段に与えデータサーチを実行するサーチ手段と、

上記判定手段が不一致を判定したときに、データサーチを実行させない制御手段とを具備したことを特徴とする自動データ処理機能を有するメモリ装置。

2

発明の詳細な説明

この発明は、電子機器を制御するCPU(中央処理装置)とバスラインを介して電気的に接続され、前記CPUから制御命令により内部処理を実行する自動データ処理機能を有するメモリ装置に関する。

従来、たとえばプログラム付小型式電子計算機においてCPUにバスラインを介して接続されるメモリ装置、例えばRAM(ランダム・アクセス・メモリ)は、CPUによつて直接アドレス制御されている。すなわち、CPUからデータ信号、読み出し/書き込み信号、チップ・イネーブル信号、アドレス指定信号などが夫々のバスラインを介して送出され、これら信号に従つてRAMとCPUとの間においてデータの授受が行なわれている。このため、RAMのアドレスを指定するアドレスラインは前記CPUから全て接続されている。そこで、RAMの容量が増加すると前記アドレスラインも増加させる必要があり、ライン数が増えるという欠点があつた。また、RAM内のデータをサーチする場合やシフトする場合は、CPUが他の処理を行うことができず、その分だけ計算機の処理速度が低下するという欠点があつた。

この発明は前記事情に基づいてなされたもので、その目的とするところは、CPUから送られ

(2)

特公 平 4-49142

3

たサーチ命令に対して、メモリ装置自身がデータサーチを実行し、CPUとの並列処理が可能な自動データ処理機能を有するメモリ装置を提供することである。

以下、この発明の一実施例につき第1図ないし第4図に基づいて説明する。第1図はこの発明のメモリ装置が接続された小型式電子計算機の概略システム構成図を示し、図中、符号1はCPUで、このCPUから出力されたサンプリング信号に従ってキーボード2の操作キーが選択され、キー操作に応じたキー入力信号がCPU1に入力される。また、CPU1は表示データを送出し、同データは表示装置3において表示される。また、CPU1はメモリ装置として第1のRAM4および第2のRAM5をバスラインBLを介して接続している。そして、CPU1からは第1のRAM4および第2のRAM5に夫々所定期間のクロックパルス ϕ_1 、 ϕ_2 、チップ・イネーブル信号CE、オペレーション信号OPを夫々出力する。また、CPU1は第1のRAM4および第2のRAM5との間において4ビットのデータ $D_1 \sim D_4$ の転送を行い、第1のRAM4および第2のRAM5からはインタラプト信号INTが入力される。

第2図は第1のRAM4および第2のRAM5の詳細を示す回路構成図である。図中符号8は制御回路であり、ここにはCPU1から送出される。クロックパルス ϕ_1 、 ϕ_2 、チップ・イネーブル信号CE、オペレーション信号OPが夫々入力される。前記制御回路8にはラッチ6a、デコード6b及びタイミン発生回路8cが備えられ、前記データ $D_1 \sim D_4$ のうち命令コードはバスラインゲート7を介してラッチ6aに書き込まれる。そして、ラッチ6aの命令コードはデコード6bによつてデコードされ、この出力はタイミン発生回路8cに送出される。タイミン発生回路8cはデコード6bからのデコード出力と、前記クロックパルス ϕ_1 、 ϕ_2 に基づいてタイミン信号 ϕA 、 ϕB 、 ϕC 、R/W信号、信号 CK_1 、 CK_2 、および制御命令 $0_1 \sim 0_7$ を作成して送出する。前記バスラインゲート7は前記制御命令 0_7 によつて開閉制御され、この開成状態ではデータ $D_1 \sim D_4$ を通過し、同データは制御回路8に入力されるほか、第1アドレスカウンタ8、第2のアドレスカウンタ9、ラッチ10、11、12、I/O

4

コントローラ13に夫々入力される。前記ラッチ10は入力されるデータ $D_1 \sim D_4$ のうちDEVICE NOを示すデータを前記タイミン信号 ϕC のタイミングで書き込み、同データをデバイスコンパレータ14へ送出する。デバイスコンパレータ14はデバイス設定部15から供給される設定DEVICE NOと、ラッチ10から入力される前記DEVICE NOとを比較し、この比較結果が一致している場合は一致信号を制御回路8へ出力する。前記デバイス設定部15は端子 $V_1 \sim V_4$ からなり、たとえば第1のRAM4のDEVICE NOを4ビットのデータとして設定するものである。また、前記ラッチ11は入力されるデータ $D_1 \sim D_4$ のうちサーチデータやシフト桁データをタイミン信号 ϕA のタイミングでラッチし、同データをデータコンパレータ16および加減算回路17に出力する。

前記第1アドレスカウンタ8、第2アドレスカウンタ9は夫々12ビットの容量を有し、夫々対応して前記制御命令 0_1 、 0_2 によつてアップ・ダウンの指定、リセット、および前記データ $D_1 \sim D_4$ のうちアドレスデータの読み込みなどが制御され、また夫々対応して信号 CK_1 、 CK_2 の計数を行い、これら係数されたアドレスデータは前記加減算回路17に入力されるほか、アドレスコンパレータ18およびMAR回路（メモリ・アドレス・リコール回路）19へ送出される。このMAR回路19は前記制御命令 0_4 に従つて入力され第1アドレスカウンタ8および第2アドレスカウンタ9のアドレスデータのうちの一方のアドレスデータを4ビットごとにバスラインゲート7を介してCPU1へ送出する。また、前記加減算回路17は前記制御命令 0_3 によつて制御され、第1アドレスカウンタ8あるいは第2アドレスカウンタ9から送出されるアドレスデータ、あるいはこれらアドレスデータとラッチ11の内容との加減算結果をアドレスデータとしてRAM20に送出するほか、前記加減算回路17から出力されるアドレスデータADはアドレスコンパレータ18にも出力される。このアドレスコンパレータ18はインタラプトコントローラ21からの信号が“0”の場合は、第1アドレスカウンタ8のアドレスデータと第2アドレスカウンタ9のアドレスデータの比較を、また前記信号が“1”の場合は第1アドレスカウンタ8のアドレスデータと加減算回路17

(3)

特公 平 4-49142

5

6

からのアドレスデータADとの比較を行い、夫々一致した場合は一致信号をインタラプトコントローラ21へ出力する。また、前記ラッチ12にはI/Oコントローラ13を介してRAM20から読み出されたデータがタイミング信号φBのタイミングでラッチされ、このデータがデータコンパレータ16へ送出される。データコンパレータ16はラッチ11の内容とラッチ12の内容とを比較し、比較結果が一致した場合は一致信号をインタラプトコントローラ21へ出力する。インタラプトコントローラ21は前記制御命令0_iにより制御されて前記“0”、“1”信号を出力し、また一致信号が入力された際にCPU1および制御回路6に対してインタラプト信号INTを出力する。また、前記I/Oコントローラ13は内部に4ビットのラッチが備えられており、前記制御命令0_iに従ってRAM20から読み出されたデータをラッチして再びRAM20へと送出したり、あるいはラッチしたデータをバスラインゲート7へ出力し、さらにオール“0”データを作成してRAM20の内容をクリアする回路も備えられている。前記RAM20はR~W信号によって読み出し、あるいは書き込み状態に指定され、入力されるアドレスデータに対応する前記領域に対してデータの読み出し、書き込みが行なわれる。

第3図はCPU1から4ビットのデータD₁~D₄として第1のRAM4および第2のRAM5に送られてくる命令形式の例を示したものである。第3図Aは全体が1桁4ビットずつ桁X₀~X₄の5桁分となり、このうち桁X₀には第1のRAM4あるいは第2のRAM5のいずれかを指定するDEVICE NOデータが、また桁X₁には命令の種類を示すオペレーションコードOPEが、また桁X₂~X₄にはRAM20のアドレスデータを指定するRAM ADDRESSが夫々送出される。また、RAM20の2つのアドレスによって夫々指定される2つの先頭アドレスから記憶領域内のデータを順次に読み出す命令(binary命令と称す)を実行させる場合には第3図Bに示すように第3図Aと同一形状の5桁分のデータD₁~D₄がCPU1から2回にわたって順次出力される。また、RAM20の指定されたアドレスを所定桁分桁上げあるいは桁下げさせるShift命令を実行させる場合、あるいはあるデータをRAM20内のアドレス1から

アドレス2の範囲内でサーチし、対応するデータを読み出すSearch命令を実行させる場合には、第3図Cに示すように第3図Bと同一形式の5桁分の桁X₀~X₄のデータD₁~D₄が2回出力されるほか、さらに桁X₁、X₂、X₃分のデータとしてシフトされる桁数、あるいはサーチされるデータが順次出力される。

次に、この発明の動作につき、まず、第1のRAM4に対してREAD命令を実行させる場合について説明する。いま、第4図に示すようにCPU1からはクロックパルスφ₁、φ₂が出力され続けているとする。このとき、信号φ₂立下がりのタイミングでオペレーション信号OPとチップ・イネーブル信号CEが夫々CPU1から出力され、この結果第1のRAM4および第2のRAM5が命令コードの読み込みを開始する(命令読み込みサイクル)次にクロックパルスφ₁の立下がりのタイミングで第3図Aに示す形式でまず、第1のRAM4を指定するDEVICE NOを示す「1100」のデータD₁~D₄がCPU1から出力される。一方、制御回路6は前記オペレーション信号OPとチップ・イネーブル信号CEが両方入力されると制御命令0_iを出力し、この結果、バスラインゲート7が閉成される。このため、前記DEVICE NOのデータはバスラインゲート7を介し、タイミング信号φCのタイミングでラッチ10に書き込まれる。デバイスコンパレータ14はデバイス設定部15からあらかじめ設定された第1のRAM4のデバイスNOデータ「1100」が入力されており、このデータとラッチ10の内容とを比較し、一致している場合は一致信号を制御回路6へ出力する。この一致信号が出力されると、制御回路6は前記X₀のDEVICE NOデータに続いてCPU1から出力されたREAD命令を示すX₁オペレーションコードOPE「0000」をラッチ6aに書き込む。このラッチ6aに書き込まれたオペレーションコードOPEはデコード6bによりデコードされ、ここでREAD命令が解読されてREAD処理が開始される。すなわち、制御回路6から制御命令0_iが出力され、前記X₁のオペレーションコードOPEに続けてCPU1から順次出力されるX₂、X₃、X₄のRAM ADDRESSが第1アドレスカウンタ8に順次セットされる。このようにして前記X₀~X₄の命令コードは第1のRAM

(4)

特公 平 4-49142

7

4にセットされ、このセット後、CPU 1から出力され続けていたオペレーション信号OP、チップ・イネーブル信号OEの出力がクロックパルスO₁のタイミングで停止する。次に、CPU 1からオペレーション信号OPが停止した状態でチップ・イネーブル信号CEが出力されるとデータ処理サイクルとなり、制御回路6はラッチ6 aに書き込まれたオペレーションコードOPEに従ってRAM 2 0のREAD動作を開始する。すなわち、第1アドレスカウンタ8にセットされたRAM ADDRESSの内容により加減算回路7を介してRAM 2 0の先頭のアドレスが指定され、さらにRAM 2 0に入力されるR/W信号が“0”になりREAD状態に指定される。すると、RAM 2 0の指定されたアドレス内のRAM DATAが読み出され、I/Oコントローラ13、バスラインゲート7を夫々介してCPU 1へと送られる。次に、制御回路6から信号CK₁が出力され、この信号CK₁により第1アドレスカウンタ8がカウントアップされ、このアドレスデータによつてRAM 2 0の次アドレスが指定され、次のRAM DATAが読み出される。

同様に、信号CK₁出力の都度、第1アドレスカウンタ8の内容がインクリメントされ、RAM DATAの読み出しが行なわれる。そして、CPU 1からチップ・イネーブル信号CEの出力が停止すると、信号CK₁出力も停止し、READ動作も終了する。

次に、前述した第3図Bのbinary命令がCPU 1から出力された場合の動作について説明する。この場合、まず、最初の桁X₀~X₄のDEVICE NO、OPE、RAM ADDRESS 1の各データがバスラインゲート7を介して入力され、このうちDEVICE NOはラッチ1 0に入力され、OPEはラッチ6 aに書き込まれ、制御回路6においてbinary命令であることがデコードされる。また、入力されたRAM ADDRESS 1、例えば「50」は第1アドレスカウンタ8にセットされる。同様に、2回目にCPU 1から出力されたOPE RAM ADDRESS 2、例えば「100」は夫々対応してラッチ6 a、第2アドレスカウンタ8へセットされる。そして、第2アドレスカウンタ8は制御命令O₁、信号CK₁に従ってアドレス「100」から+1ずつインクリメントされ、これと同時に第1アド

8

レスカウンタ8は制御命令O₁、信号CK₁に従ってアドレス「50」から-1ずつインクリメントされる。なお、アドレスを+1するか-1するかはオペレーションコードOPE 1、OPE 2の内容により定められる。そして制御回路6はCPU 1から出力されるチップ・イネーブル信号CEが“0”から“1”となつたとき第1アドレスカウンタ8の内容によりRAM 2 0をアドレス指定し、チップ・イネーブル信号CEが再び“0”から“1”になつたとき第2アドレスカウンタ8の内容によりRAM 2 0をアドレス指定する。そして、RAM 2 0から読み出されるデータはI/Oコントローラ13、バスラインゲート7を介してCPU 1に送出される。CPU 1はチップ・イネーブル信号CEを交互に“0”あるいは“1”にして第1アドレスカウンタ8あるいは第2アドレスカウンタ8により指定されるアドレスのデータを読み出す。

次に、前述した第3図CのSearch命令がCPU 1から出力される場合の動作について説明する。この場合、CPU 1から出力されるX₀~X₄の各データのうちOPE 1、OPE 2は夫々ラッチ6 aに書き込まれ、RAM ADDRESS 1、例えば「50」は第1アドレスカウンタ8へ、RAM ADDRESS 2、例えば「100」は第2アドレスカウンタ8へ夫々セットされ、さらにSearch DATA、例えば「AAA」はラッチ1 1に書き込まれる。そして、第1アドレスカウンタ8はそのカウント内容を+1ずつインクリメントし、この都度、RAM 2 0の対応するアドレスのRAM DATAが読み出され、I/Oコントローラ13を介してラッチ1 2に書き込まれる。そして、このラッチ1 2の内容とラッチ1 1の内容とはデータコンパレータ1 8において比較され、この比較結果が不一致の場合は、第1のアドレスカウンタ8が+1されて再びラッチ1 2にラッチされたRAM DATAと比較される。前記比較結果が一致している場合には一致信号がインタラプトコントローラ2 1に対して出力され、インタラプトコントローラ2 1からSearch動作の終了を示すインタラプト信号INTがCPU 1および制御回路6に出力される。これと同時に、サーチされたRAM DATA「AAA」のアドレスを示す第1アドレスカウンタ8の内容がMAR回路1 9、バスライン

(5)

特公 平 4-49142

9

10

ゲート7を介してCPU1へ送出される。なお、第2アドレスカウンタ8の内容と第1のアドレスデータ8の内容はアドレスコンパレータ18において比較され、RAM20にRAM DATA「AAA」がサーチされず、第1アドレスカウンタ8の内容が「100」になった場合も一致信号がインタラプトコントローラ21に出力され、この結果、前記インタラプト信号INTが送出される。

なお、前記実施例においては小型式電子計算機の内部に固定的に第1のRAM4および第2のRAM5を設けた構成としたが、これに限らず、第1のRAM4および第2のRAM5をカセット式に着脱自在にCPU1と接続するように構成しても良い。また、前記実施例はメモリとしてRAMを用いたが、これに限らず、例えばROM（リード・オン・メモリ）を用いてもよい。また、この発明は小型式電子計算機に限らず他の電子機器に適用可能である。

以上説明したようにこの発明によれば、CPUは1つのメモリ装置を指定する固体コード、サーチ命令コード、第1、第2のアドレスデータ及びサーチデータを含む制御命令を送出し、メモリ装

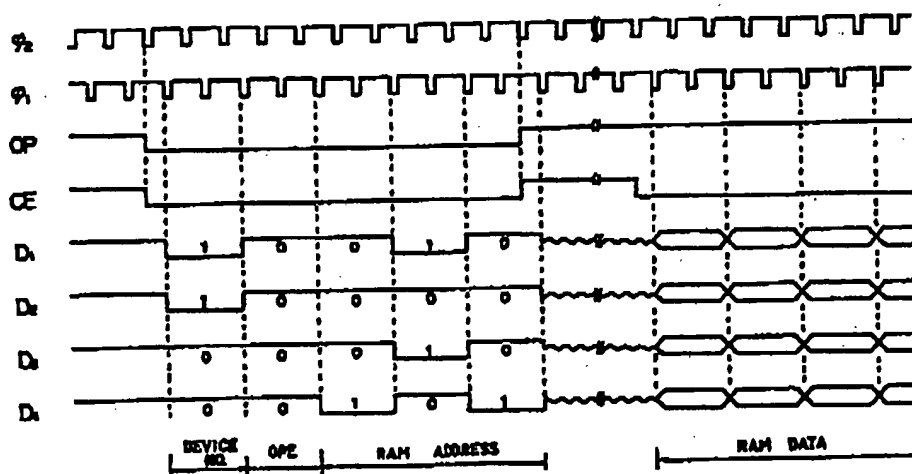
置は受け取った固体コードが自身のコードと一致するかを判定して、一致した場合、サーチ命令コードにより、第1、第2のアドレスデータが示す範囲で記憶データを順に読出し、受け取ったサーチデータと一致するか比較してデータサーチを実行するようにしたから、取扱うデータ量が多くなり、メモリ装置を複数用いるような場合でも、CPUは制御命令を出力した後は各メモリ装置に特定範囲内でデータのサーチ処理を任せることができ、CPUは他の処理を並列して行うことができ、システム全体の処理速度が遅くなるという利点がある。

図面の簡単な説明

第1図はこの発明の一実施例を使用した概略システム構成図、第2図は第1のRAMおよび第2のRAMの詳細を示す回路構成図、第3図A、B、Cは命令形式を示す図、第4図は動作を説明するためのタイムチャートである。

1……CPU、4……第1のRAM、5……第2のRAM、6……制御回路、8……第1アドレスカウンタ、9……第2アドレスカウンタ、17……加減算回路、20……RAM。

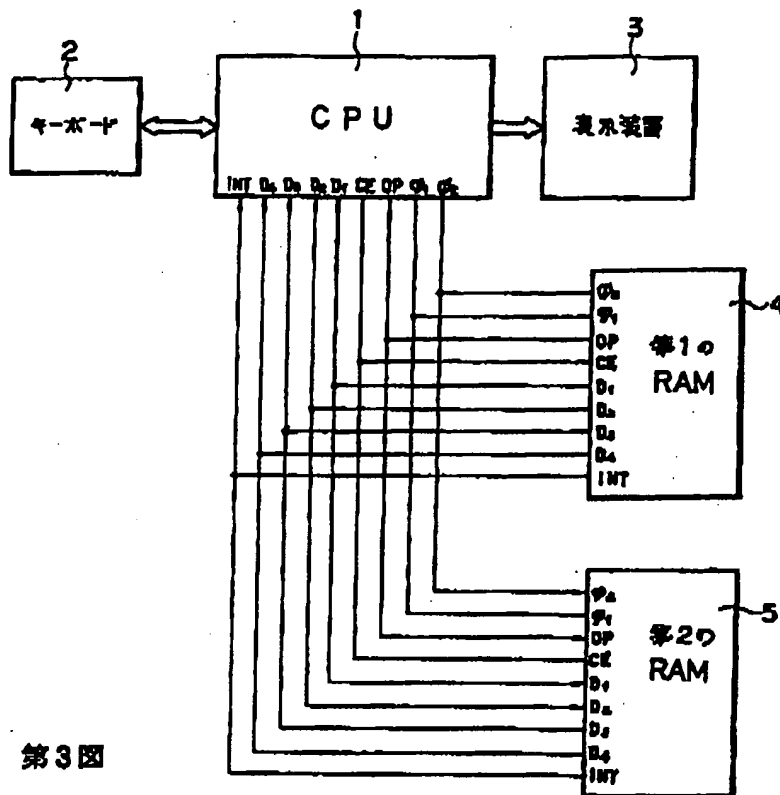
第4図



(8)

特公 平 4-49142

第1図



第3図

(A)

X ₄	X ₃	X ₂	X ₁	X ₀
RAM ADDRESS			OPE	DEVICE NO.

(B)

X ₄	X ₃	X ₂	X ₁	X ₀
RAM ADDRESS 1			OPE 1	DEVICE NO.
RAM ADDRESS 2			OPE 2	DEVICE NO.

(C)

X ₄	X ₃	X ₂	X ₁	X ₀
RAM ADDRESS 1			OPE 1	DEVICE NO.
RAM ADDRESS 2			OPE 2	DEVICE NO.
SEARCH DIGIT				DEVICE NO.

(7)

特公 平 4-49142

第2図

